

PAT-NO: JP406090016A

DOCUMENT-IDENTIFIER: JP 06090016 A

**TITLE: WAVEGUIDE STRUCTURE SEMICONDUCTOR
PHOTODETECTOR**

PUBN-DATE: March 29, 1994

INVENTOR-INFORMATION:

NAME

WATANABE, ISAO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04264199

APPL-DATE: September 7, 1992

INT-CL (IPC): H01L031/10, G02F001/025

US-CL-CURRENT: 257/432

ABSTRACT:

PURPOSE: To provide a wave guide type semiconductor photodetector of high speed and high reliability by providing a light receiving end face with the semiconductor whose forbidden band width is larger than a light absorbing layer.

CONSTITUTION: An n<SP>+</SP>-type InP contact layer 22 is grown on a

high-resistant InP substrate 21. Then an SiO₂ mask 23 for selective growth is patterned on the substrate. Then, an n-type InP buffer layer 24, an n-type InAlGaAs intermediate refractivity layer 25, an undoped InP/InGaAs super-grid light absorption layer 26, a p-type InAlGaAs depletion layer and annihilation layer 27, a p-type InAlGaAs intermediate refractivity layer 28, a p-type InAlAs cap layer 29 and a p-type InGaAs contact layer 30 are sequentially subjected to crystal growth. After the SiO₂ mask 23 is removed, for forming a waveguide, both sides of a stripe mesa are removed by dry-etching as far as the substrate 21 and the contact layer 30, respectively. Thus, the increase of surface defectives caused by absorbing the light of high intensity at the end face can be suppressed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-90016

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/10				
G 0 2 F 1/025		8422-4M	H 0 1 L 31/ 10	A
		8422-4M		Z

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-264199

(22)出願日 平成4年(1992)9月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡邊 功

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 本庄 伸介

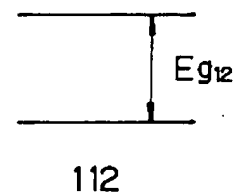
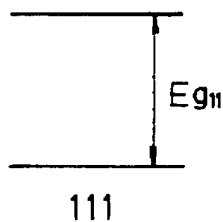
(54)【発明の名称】 導波路構造半導体受光素子

(57)【要約】

【目的】 高速・高信頼特性の導波路型半導体受光素子を実現する。

【構成】 p i n型半導体受光素子において、光入射端面部分に光吸収層より禁制帯幅の大きな半導体を有する。

【効果】 従来構造では光入射端面では光吸収領域が露出していたが、本発明の構造により禁制帯幅の大きな半導体で端面光吸収層を保護することができ、強い強度の光吸収による表面欠陥の増加・素子信頼性低下を抑制することができる。



【特許請求の範囲】

【請求項1】 光入射端面部分に光吸収層より禁制帯幅の大きな半導体を有することを特徴とする導波路構造半導体受光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速応答・高信頼性特性を有する導波路型半導体受光素子に関する。

【0002】

【従来の技術】波長 $1.3\mu\text{m}$ 、ないし、 $1.55\mu\text{m}$ の超高速光通信システムを可能にするには、 20Gb/s 以上の周波数応答と高量子効率（50%以上）を兼ね備えた半導体受光素子が必要であり、このような特性を満足する素子として、高抵抗InP基板上のInP/InGaAsP/InGaAs系導波路型pinフォトダイオードの研究が活発となっている。

【0003】加藤らはこの系の導波路型pinフォトダイオードについて発表を行っている（1991年春季信学会予稿c-183）。その構造図を図6に示す。寄生容量を低減するために高抵抗InP基板31を用い、この上に厚さ $0.2\mu\text{m}$ の n^+ 型InGaAsPコンタクト層32、厚さ $0.4\mu\text{m}$ のアンドープInGaAs光吸収層33、厚さ $0.2\mu\text{m}$ の p^+ 型InGaAs空乏層端消滅層34、厚さ $0.2\mu\text{m}$ の p^+ 型InGaAsP中間キャップ層35、厚さ $0.5\mu\text{m}$ の p^+ 型InPキャップ層36、厚さ $0.2\mu\text{m}$ の p^+ 型InGaAsP37コンタクト層を順次積層し、これを導波路構造、すなわち、幅 $6\mu\text{m}$ 長さ $10\mu\text{m}$ のストライプメサ状にドライエッチングで形成している。このストライプメサの一方の側（右側）は、 n^+ 型InGaAsPコンタクト層32まで、また、他方の側（左側）は高抵抗InP基板までエッチング除去した構造となっている。これをポリイミド39で平坦埋め込みし、その上部に p 側電極310を、また、 n^+ 型InGaAsPコンタクト層32上部に n 側電極38を各々形成している。この構造では波長 $1.0\sim 1.6\mu\text{m}$ の光で生成するキャリアの走行する領域はアンドープInGaAs光吸収層33でありその層厚は $0.4\mu\text{m}$ と小さい。このため走行時間制限による帯域は 50GHz 以上となる。実際は素子容量 40fF とわずかな寄生容量によるCR時定数制限を受けるが、測定された帯域は 40GHz を越えている。一方量子効率に関しては、アンドープInGaAs光吸収層33を挟む n^+ 型InGaAsPコンタクト層32と p^+ 型InGaAsP中間キャップ層35の、光吸収層33との間の屈折率差が、InPのみで両側を挟まれた場合の構造の時の屈折率差より小さくすることで光の閉じこめが小さくなり、層に垂直な方向のスポットサイズが大きくなって光ファイバとの結合効率が上昇することで、44%（無反射コートなし）、60%（無反射コートあり）と高い量子効率を得ている。

【0004】

【発明が解決しようとする課題】しかしながら、図6の従来例の構造では、pn接合が光が入射する端面部分で露出しており、劈かいもしくはドライエッチングで形成された該端面部分には表面欠陥等が存在するために、逆バイアス印加状態でこの部分に光が直接照射されて光キャリアが生成する際、この欠陥が増加して暗電流が増加し、ひいては素子の信頼性が従来のプレーナ型素子と比較して劣化するという欠点を有する。特に、端面入射型のフォトダイオードをコヒーレント通信システムにおけるバランスストレーバに用いるときは、局発光源のmWオーダの大きなレーザ光が照射するために上記の問題はより顕著となる。

【0005】そこで、本発明は、高速・高信頼性の導波路型半導体受光素子を実現することを目的とする。

【0006】

【課題を解決するための手段】本発明は、導波路構造半導体受光素子において、光入射端面部分に光吸収層より禁制帯幅の大きな半導体を有することを特徴とする。

【0007】

【作用】本発明は、上述の構成により従来例と比較して同等の高速特性を維持しつつ同時に、信頼性を改善した。図1及び図2は本発明による導波路構造pin型受光素子の端面領域と光吸収領域のエネルギーバンド図であり、図3は従来の導波路構造pin型受光素子の端面領域と光吸収領域のエネルギーバンド図である。また、図4、図5は本発明の素子の製作工程である。

【0008】本発明を図1～図3を参照して説明する。図1は端面領域111が光吸収領域112よりも禁制帯幅が大きなバルク半導体で構成されている場合、また、図2には端面領域121が等価的な禁制帯幅が光吸収領域122よりも大きな半導体超格子で構成されている場合のエネルギーバンド図を各々示す。また、従来の導波路構造pin型受光素子の端面領域131と光吸収領域132のエネルギーバンド図を図3に示す。従来の導波路型受光素子では、図3に示すように、端面領域131と光吸収領域132のバンドギャップが等しいから、光吸収領域132で吸収される波長の光は端面領域131でも吸収される。この従来型素子がコヒーレント通信システムにおけるバランスストレーバに用いられるときは、逆バイアス状態の端面部に局発光源のmWオーダの大きなレーザ光が照射・吸収されるために、表面欠陥等が増加して暗電流が増加し、ひいては素子の信頼性が従来のプレーナ型素子と比較して劣化するという欠点を有する。これに対して本発明の素子構造では、端面領域111が光吸収領域112よりも禁制帯幅が大きなバルク半導体で構成されている（図1-1）、もしくは、端面領域121が光吸収領域122よりも等価的な禁制帯幅が光吸収領域よりも大きな半導体超格子で構成されている（図2-2）ために、入射光波長を光吸収領域のバン

3

ド端波長より短く、かつ、端面領域のバンド端波長よりは長く設定することが可能となる。

【0009】したがって、本発明の構造により端面部分での強い強度の光吸収による表面欠陥の増加・素子信頼性低下を抑制することができる。

【0010】

【実施例】以下、本発明の実施例として、InPに格子整合するInAlGaAs/InGaAs/InP系導波路型受光素子を用いて説明する。

【0011】図2に示す本発明の導波路型受光素子を図4及び図5に示す工程で製作した。高抵抗InP基板21に、n⁺型InPコンタクト層22を成長する(図4(A))。次に、この基板に厚さ約0.2μmの選択成長用SiO₂マスク23をパターニング形成する(図4(B))。このマスクパターンは図2に示すエネルギーバンド構造を形成するために特別のパターンを採用しており後に説明する。このウェハをもとに有機金属気相成長法で厚さ0.2μmのn⁺型InPバッファ層24、厚さ0.6μmのn⁺型InAlGaAs中間屈折率層25、アンドープInAlAs/InGaAs超格子光吸収層26、厚さ100Åのp⁺型InGaAs空乏層端消滅層27、厚さ0.6μmのp⁺型InAlGaAs中間屈折率層28、厚さ0.2μm p⁺型InAlAsキャップ層29、厚さ0.1μm p⁺型InGaAsコンタクト層210を順次結晶成長する(図4(C))。

【0012】ここで、図2に示すエネルギーバンド構造を形成する方法について述べる。佐々木らは平成3年秋季応用物理学会(11-pX-10)において、InP/InGaAs系の有機金属気相成長法では、選択成長マスク(SiO₂膜)のパターン形状(ストライプ状マスクの幅とその2本のストライプ開口部分の間隔)に依存してInGaAsの成長速度が変化することを報告している。これは、III族原料ガスのトリメチルインジウムの分解がマスク上で進行する際、マスクで被覆されている面積が大きいほど分解物の横方向の拡散量が多くなるため、マスク開口部分でInGaAsの成長速度(インジウム原料に供給律則される)が大きくなるためである。成長速度の実験値の一例として、マスク間隔2μmの場合マスク幅が0μm、4μm、8μm、10μmと大きくなると成長速度は1、1.3、1.4、1.45(マスク幅0μmの時の値で規格化)と大きくなっている。この原理を利用すると、図4(B)に示すようなマスク形状、すなわち、導波路の端面形成部分の長さ10~20μmの領域にマスク被覆幅が10μmとなる長方形マスクパターンを間隔2~5μm(これが導波路幅となる)に並べたパターンを基本セットとして、これを所望の導波路の長さ(10~100μm)のピッチで2セット配置したマスク形状(このピッチが光吸収領域長となる)を選択成長のマスクとし、この選択成長特性

4

を利用して、光吸収領域では厚さ70ÅのInAlAsと厚さ80ÅのInGaAs超格子を、また、端面領域では厚さ~50ÅのInAlAsと厚さ~55ÅのInGaAs超格子(50周期、トータル厚~0.53μm)を同時に成長する(キャリア濃度はn⁻型で~2×10¹⁵cm⁻³)。超格子井戸層の層厚に応じて量子効果により吸収端波長が端面部で1.48μm、吸収領域で1.6μmとなり、波長1.55μmの入射光に対して端面部分は非吸収領域となる。すなわち、本発明の条件であるところの「光入射端面部分に、光吸収層より禁制帯幅の大きな半導体を有することを」を満たすといえる。SiO₂マスク剥離後、導波路を形成するため、ストライプメサの片側を高抵抗InP基板21まで、他の側をn⁺型InPコンタクト層22までドライエッチング法によってエッチング除去する(図5(A))。これにより幅3μm、長さ約20μmの導波路構造が形成される。

【0013】最後に、該ストライプメサにSiN保護膜211を形成し、メサ右側をポリイミド212で平坦化後、通常のリフトオフ法でp側AuZn213、n側AuGeNi214の電極を形成する(図5(B))。

【0014】

【発明の効果】従来例の素子では端面への波長1.55μm入射光の強度がmWオーダーとした場合、端面欠陥増加による暗電流増加で突発的に素子劣化する素子が確率的に発生したが、本発明の素子では、これらの原因による欠陥増加が抑制でき、突発的に素子劣化する素子の出現確率が従来の~1/10以下となり、高信頼特性が実現できる。周波数応答特性についても、光吸収層が層厚の薄い(~50Å)、かつ、井戸層との価電子帯不連続量が小さい(0.2eV)超格子障壁層で形成されているので、光生成キャリアの超格子井戸層へのパイルアップは抑制され、走行時間制限による遮断周波数10GHz以上が実現できる。

【0015】これより、高速応答特性を有し、高光入力時でも高信頼特性を有する導波路型半導体受光素子を実現することができ、その効果は大きい。

【0016】なお、本実施例では高抵抗基板上にn型半導体、ついでp型半導体の順に積層した構造を用いたが、n型/p型が逆転した積層構造でも本発明の主旨の構造であることは明らかである。また、入射光波長を1.55μmとしたが波長1.3μm光に対しても端面領域のバンドギャップを調整すれば同様の効果が得られることも明白である。

【図面の簡単な説明】

【図1】本発明の導波路型受光素子の端面領域と光吸収領域のエネルギーバンド図である。

【図2】本発明の導波路型受光素子の端面領域と光吸収領域のエネルギーバンド図である。

【図3】従来例の導波路型受光素子の端面領域と光吸収

6

25 n⁺ 型 InAlGaAs 中間屈折率層
26 アンドープ InAlAs / InGaAs 超格子
光吸収層

27 p⁺ 型 InGaAs 空乏層端消滅層
28 p⁺ 型 InAlGaAs 中間屈折率層

29 p⁺ 型InAlAsキャップ層
210 p⁺ 型InGaAsコンタクト層

211 SiN保護膜
212 ポリイミド

213 p側AnZn電極
214 n側AuGeNi

31 高抵抗InP基板
32 n⁺型InGaAsPコンタクト層

33 アンドープInGaAs光吸収層
34 p⁺型InGaAs空乏層端消滅層

35 p⁺ 型 InGaAsP 中間キャップ層
36 p⁺ 型 InP キャップ層

37 p⁺ 型 InGaAsP コンタクト層
38 n 側のコンタクト電極

39 ポリイミド
310 p側電極

311 保護膜

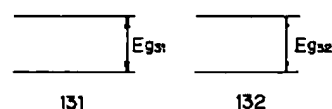
20

310 p側電極

311 保護膜

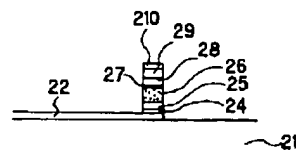
311 保護膜

【图3】

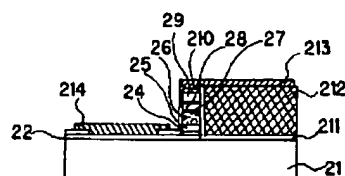


【図5】

(A)



(B)



【図4】

